PARITY ERROR DETECTION SYSTEM BY LINE

Publication number: JP1256833

Publication date:

1989-10-13

Inventor:

WATANABE HARUKI; MATSUMOTO TATSUO

Applicant:

FUJITSU LTD

Classification:

- international:

H04J14/08; H04J3/14; H04L1/00; H04J14/08;

H04J3/14; H04L1/00; (IPC1-7): H04B9/00; H04J3/14;

H04L1/00

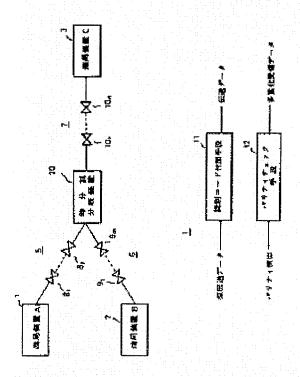
- European:

Application number: JP19880084192 19880407 Priority number(s): JP19880084192 19880407

Report a data error here

Abstract of JP1256833

PURPOSE:To detect a parity error by line classification by adding an identification code for its own terminal station equipment an opposite terminal station equipment to the head of a frame of a transmission data and checking the parity corresponding to the opposite terminal station equipment as to the multiplex reception data. CONSTITUTION:An identification code adding means 11 sets the identification code of its own station and a transmission destination terminal equipment in pairs corresponding to the repetition of each block to the head block of the frame. A time division branching device 20 receives a transmission data from each terminal equipment synchronously with the frame. For example, when a transmission data from the terminal equipments A, B to the terminal equipment C exists, the transmission data is sent to the terminal equipment C by the time division multiplex transmission format. A parity checking means in the terminal equipment C checks the parity of the multiplex reception data continuously. When any parity error is detected by the parity check, since the code of the transmission destination terminal equipment is also received, the line causing a parity error is specified.



◎ 公 開 特 許 公 報 (A) 平1-256833

51 Int. Cl. ⁴

識別記号

庁内整理番号

❸公開 平成1年(1989)10月13日

H 04 L 1/00 H 04 B 9/00 H 04 J 3/14 A-8732-5K D-8523-5K

Z-6914-5K審査請求 未請求 請求項の数 1 (全7頁)

❷発明の名称

回線別パリテイエラー検出方式

②特 顧 昭63-84192

②出 願 昭63(1988) 4月7日

⑩発 明 者 渡

治 喜

神奈川県川崎市中原区上小田中1015番地 富士通株式会社

内

⑫発 明 者 松 本

達夫

神奈川県川崎市中原区上小田中1015番地 富士通株式会社

内

勿出 願 人 富士通株式会社

神奈川県川崎市中原区上小田中1015番地

⑭代 理 人 弁理士 青 木 朗 外3名

辺

明 細 書

1. 発明の名称

回線別パリティエラー検出方式

2. 特許請求の範囲

1. 複数の端局装置(1,2,3)が時分割分歧装置(20)を介して相互に接続され、伝送路(5,6,7)を伝送される信号が時分割多重化されるように構成される光海底ケーブル伝送システムであって、

各端局装置内に、

該端局装置から時分割分岐装置を介して相手端局装置に送出する伝送するデータのフレームの冒頭部に自端局装置と相手端局装置との識別コードを付加する手段(11)と、

受信データから相手端局装置の識別コードを抽出し、多重化受信データについて該相手端局装置に対応してパリティをチェックする手段(12)と

具備し、回線別にパリティエラーを検出するように構成した、回線別パリティエラー検出方式。

3. 発明の詳細な説明

(概 要)

光海底ケーブル伝送システムに関し、

時分割多重化した場合に受信端局装置において 回線別にパリティチェックを可能にすることを目 的とし、

(産業上の利用分野)

本発明は光海底ケーブル伝送システムに関する ものであり、特に、分岐装置を介して時分割多重 化伝送を行うようにした場合に、受信端局装置に おいて回線別にパリティチェックを可能にする光 海底ケーブル伝送システムの回線別パリティエラ ー検出方式に関する。

(従来の技術)

第8図に現在の光海底ケーブル伝送システムの構成図を示す。同図において、端局装置A,B,Cがそれぞれ光伝送路5,6,7を介して分岐装置4に接続されている。光伝送路5,6,7はそれぞれ、複数の光中継器8,~8,9,~9,10,~10,が光ファイバケーブルを介して接続されて構成されている。

端局装置 A から端局装置 B にデータを送信する場合、端局装置 A は送信信号内に送信先端局装置 B のコードをデータに付して、伝送路 5 を介して分岐装置 4 は、端局装置

置と受信元の端局装置との間に1つの回線が形成され、受信元には1つの送信元端局装置からの送信号が伝送される。受信端局装置でパリティエラーを検出した場合、いずれの回線でパリティエラーが発生したか容易に判る。

最近、光海底ケーブル伝送システムにおいても、 時分割多重化を図ることが計画されている。例え ば、端局装置 A , B からの送信信号が分岐装置 4 を介して時分割多重化され、端局装置 C に送信さ れるようになる。この場合、分岐装置 4 には時分 割多重化回路が付加される。

端局装置Cは、端局装置A、Bからの送信信号を受信して受信データのパリティチェックを行うが、若しパリティエラーを検出したとしても、送信元端局装置又はその回線とパリティエラーが生じた送信信号との関係が判らないので、パリティエラーが生じた回線を特定できないという問題が予想される。

本発明は、光海底ケーブル伝送システムを時分 割多重化した場合に、回線別にパリティエラーの Aからの送信信号内の送信先端局装置Bのコードを識別し、分岐装置内のスイッチを、端局装置 Bにからの送信号が伝送路 6を介して端局装置 Bに到達するように切替え、端局装置 Aからのは送路 5、分岐装置 4、伝送路 6、端局装置 Aからの信号を受信し、送信元端局装置を識別し、アータを抽出し、更に受信信号のパリティチェックを行う。

端局装置 A から端局装置 C への伝送、端局装置 B から端局装置 C への伝送、その他も同様である。但し、これらの伝送に際し、分岐装置 4 を介して送信元の端局装置と受信先の端局装置との間に、それぞれ独立の回線が形成されてデータ伝送が行なわれる。

[発明が解決しようとする課題]

第8図に図示の光海底ケーブル伝送システムは、 上述の如く、分岐装置 4 を介して送信元の端局装

検出を可能にすることを目的とする。

[課題を解決するための手段]

本発明の回線別パリティエラー検出方式の原理 ブロック図を第1図および第2図に示す。

第1図は本発明の回線別パリティエラー検出方式が適用される時分割多重化光海底ケーブル伝送システムの構成を示す。同図において、時分割多重化光海底ケーブル伝送システムは、複数の端局装置1,2,3が時分割分岐装置20を介して相互に接続され、伝送路5,6,7を伝送される信号が時分割多重化されるように構成される。

すなわち、時分割分岐装置 2 0 が各伝送路 5 , 6 , 7 相互間に設けられ、時分割多重化伝送を可能にする構成となっている。

第2図は、第1図における各端局装置内の回線 別パリティチェックの原理プロック図を示す。

各端局装置内には、該端局装置から時分割分岐 装置を介して相手端局装置に送出する伝送するデ - 夕のフレームの冒頭部に自端局装置と相手端局 装置との識別コードを付加する手段11と、受信データから相手端局装置の識別コードを抽出し、 多重化受信データについて該相手端局装置に対応 してパリティをチェックする手段12とが設けられる。

(作用)

第3図、第4図をも参照して本発明の作用を述べる。

各端局装置は、第3図に示すように、伝送すべきデータを時分割多重化に適する伝送フォートマットにする。すなわち、1フレーム内複数のプロックに伝送すべきデータを分け、各プロックの最後にパリティビット(P)をつける。各プロックのピット長は同じ長さ:mビットである。但し、フレームの最初のプロックの冒頭にはフレームコードが設定される。

最初のプロックの伝送データフォーマットを第 4 図に示す。識別コード付加手段 1 1 は、フレー ムコードの後に、識別コードを付加する。識別コ

化伝送フォーマットで端局装置(C) 3に送出する。この場合、時分割分岐装置20は、各プロックのデータに対応して、第3図および第4図に図示のフォーマットと同様、送信元端局装置の識別コードと送信先端局装置の識別コードの後に付加する。

受信端局装置、この例では端局装置(C) 3内のパリティチェック手段(第2図の12相当)は多重化受信データについて、連続にパリティチェックを行う。若しパリティチェックでパリティエラーが検出された場合、送信元端局装置のコードも受信しているので、多重化されていても、パリティエラーが生じた回線が特定できる。

〔実施例〕

第5図に各端局装置内のパリティチェック手段 の構成の実施例を示す。

同図において、パリティチェック手段12は、 受信データDATAについてクロックCLKに基いて フレーム同期をとるフレーム同期回路121、フレ ードは、1フレーム内の複数のプロックのデータの送信先端局装置のコードを示す。このときみる。 説別コードは、送信先端局装置のコードと対として設定する。 第4図の例は、端局装置A1からの伝送を示す例である。第n番目の識別コードADn(A,X)は、1フレーム内のn番目ごとのプロックのデータが、1フレーム内のn番目ごとのプロックのが、一タが、3つの端局装置A,B,Cのみ図示しているが、1のの端局装置A,B,Cのみ図示しているが、1のの端局装置A,B,Cのみ図示している)に伝送されるべきことを示す。

すなわち、識別コード付加手段11は、フレームの冒頭のプロックに、自局と送信先端局装置のコードの対の識別コードを各プロックの繰り返しに対応して設定する。

時分割分岐装置 2 0 は、各端局装置から第 3 図 および第 4 図に図示の伝送データをフレームに同 期して受信し、例えば、端局装置(A),(B) 1 . 2 から端局装置(C) 3 への伝送データがあった場合、 これらの伝送データを第 3 図と同様の時分割多重

ーム同期信号に基いて受信クロックCLKを分周可数122、フレース同期後、フレーが後、フレードの次の識別コードを検出する識別・ティを検出可路124、パリティエラー検出回路125から成る。パリティエラーを付うように制御回路124を介して受信データDATAの都とは制御回路124を介した場合を表記では、これに対したは関がしたが、のがリティエラーを特定できることになる。

第6図に第5図のパリティチェック手段12より詳細な回路図を示す。分間回路122 は、クロックCLKを1/m分間し、mビット毎の各プロックを区別するプロッククロック CLK を出力する分間回路122 と、識別コードを抽出するためのクロック CLK を出力する分周回路122 から成る。識別コード検出回路123 は、識別コードクロック・CLK に基いて2つの送信元端局についての識別

コード対を検出するアドレスコード検出回路123:, 1232から成る。制御回路124 とパリティエラー検 出回路125 とは一体的に構成され、回路125aとし て示されている。回路125aは、プロッククロック CLKB に基いて各プロックのパリティビットを保 持するパリティデータ保持回路125、例えばS-Rフリップフロップ、各ブロック内のデータの " 1 "をクロック入力とし、データ" 1 "の総計 が偶数か奇数かを検出する、換言すればパリティ チェックをするDフリップフロップ125z、および、 パリティデータ保持回路125,とDフリップフロッ プ125zとの出力の一致を検出する排他的OR回路 125.からなる。パリティが一致していない場合、 排他的OR回路125sから"1"が出力される。こ の"1"がパリティエラーを示す。このパリティ エラーはセレクタ125.に入力され、セレクタ125. に印加されたアドレスコード検出回路123.からの 送信元端局装置の識別コードに基いた出力端子か ら出力される。端局装置A,Bからのパリティエ ラーはそれぞれ、パリティエラー信号PEA,

A D A 2 (B, C) が設定され、データ DATA A 1、これらのパリティアが第1番目のプロックとして受信され、第2のプロックとして、データ DATA s 2、パリティアが受信される。

第6図のフレーム回路121 は第1番目のブロッ クのフレームコードFRMについてフレーム同期 をとる。アドレス検出回路123,は識別クロック CLK。に基いて、第1の送信元端局Aのコードを 検出する。同様に、アドレス検出回路1232は第2 の送信元端局Bのコードを検出する。Dフリップ フロップ125zはパリティPを除く第1番目のプロ ックのパリティを計数する。パリティデータ保持 回路125,は第1番目のプロックのパリティPを保 持する。これらパリティ計数値とパリティ保持値 とが排他的OR回路125。で比較され、不一致の場 合、"1"がセレクタ125↓に出力される。このと きセレクタ1254にはアドレス検出回路123,の出力 が選択信号として印加されているから、対応する セレクタの出力端子からパリティエラー信号PEA が出力される。

PE』として出力される。

第7図(a)~(c)を参照して更に本発明の 実施例の動作を述べる。第7図(a)は端局装置 (A) 1から送出される伝送データ例を示す。第1 番目のブロックに、フレームコード: FRM、2 つのアドレス識別コードADA1,ADA2、データ DATAAI、パリティPが収容され、第2番目のプロ ックにデータDATAAz、そのパリティPが収容され ている。アドレス識別コードADAI(A, C)は、 データDATAA,が端局装置(A) 1から時分割分岐装 置 2 0 を介して、端局装置(C) 3 へ伝送されるべ きことを示している。アドレス識別コードAD*2 (A,B) は、データDATAAzが端局装置(B) 2 へ 伝送されるべきことを示している。第7図(b) は、端局装置(B) 2から送出される伝送データ例 を示す。その内容は第7図(a)と同様である。 第 7 図 (c) は、第 7 図 (a)(b) の伝送データ に基いて、端局装置(C) 3に伝送されてくる伝送 データの構成を示す。フレームコードFRMに次 いで、2つのアドレス識別コードADai(A,C),

第2番目のブロックについては、フレーム同期 およびアドレス検出は行なわれず、パリティチェ ックのみ行なわれる。但し、パリティエラーが検 出された場合、セレクタ125₄の出力はアドレス検 出回路123₂に基いて行なわれる。

以上の如く、回線別にパリティチェックの検出 およびそのエラー出力が行なわれる。

以上、端局装置が3個で2系統からの受信がある場合について例示したが、4個以上端局装置がある場合も同様である。

1フレーム内の最初のブロックにのみフレームコードを設定し、アドレスコードを設定しているのは、データ伝送の効率を低下させないためである。

(発明の効果)

以上に述べたように本発明によれば、時分割多 重化された光海底ケーブル伝送システムにおいて も、回線別にパリティエラーが検出可能となる。

4. 図面の簡単な説明

第1は本発明の光海底ケーブル伝送システムの 構成図、

第2図は本発明の端局装置内の回線別パリティ チェックの原理プロック図、

第3図は第2図における伝送データフォーマット図、

第4図は第2図の伝送データフォーマットの一 部詳細図、

第5図は本発明の実施例のパリティチェック手段の構成図、

第6図は第5図のパリティチェック手段の回路図、

第7図(a)~(c)は本発明の実施例の送受信データフォーマット図、

第8図は従来の光海底ケーブル伝送システムの 構成図、である。

(符号の説明)

1,2,3…端局装置、5,6,7…光伝送路、8,~8,9,~9,,10,~10,~10,…光中継器、

11…識別コード付加手段、

12…パリティチェック手段、

20…時分割分岐装置、

121…フレーム同期回路、

122···1/m分周回路、

123…識別コード検出回路、

124…制御回路、

125…パリティエラー検出回路。

特許出願入

富士通株式会社

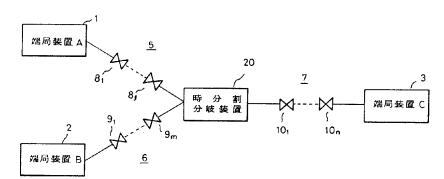
特許出願代理人

 弁理士
 青木
 朗

 弁理士
 西
 舘
 和
 之

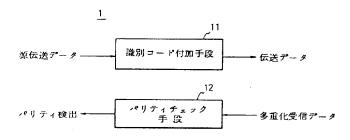
 弁理士
 内
 田
 幸
 男

弁理士 山 口 昭 之



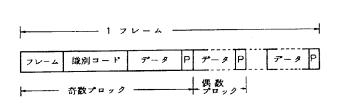
本発明の光海底ケーブル伝送システムの構成図

第 1 図 5,6,7 · · · 光伝送路 8~8, , 9,~9_m,10,~10_n · · · 光中継器



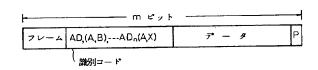
本発明の端局装置内の回線別ペリティチェックの原理プロック図

第 2 図



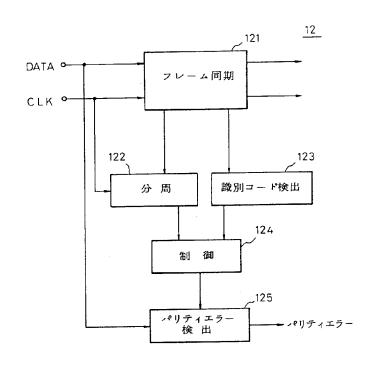
第2図の伝送データフォーマット図

第 3 図



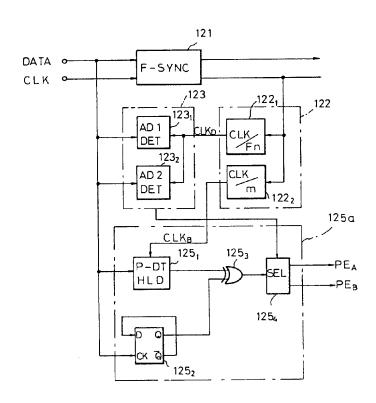
第3図の伝送データフォーマットの一部詳細図

第 4 図



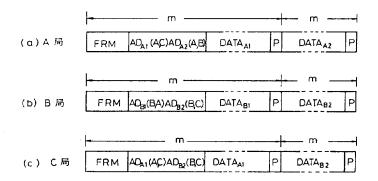
本発明の実施例のパリティチェック手段の構成図

第 5 図



第5図のパリティチェック手段の回路図

第 6 図



本発明の実施例の送受信データフォーマット図

第7図

